

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-276099

⑬ Int. Cl. ⁴	識別記号	庁内整理番号	⑭ 公開 昭和63年(1988)11月14日
G 09 G 3/36		8621-5C	
G 02 F 1/133	3 3 3	8708-2H	
H 03 K 3/78		8626-5J	
H 04 N 5/156	1 0 2	M-6959-5J	
		B-7245-5C	審査請求 未請求 発明の数 1 (全26頁)

⑮ 発明の名称 波形生成装置

⑯ 特 願 昭62-111468

⑰ 出 願 昭62(1987)5月7日

⑱ 発 明 者	太 田 守 雄	東京都東大和市桜が丘2丁目229番地	カシオ電子工業株式会社内
⑲ 発 明 者	井 上 秀 昭	東京都東大和市桜が丘2丁目229番地	カシオ電子工業株式会社内
⑳ 出 願 人	カシオ電子工業株式会社	東京都東大和市桜が丘2丁目229番地	
㉑ 出 願 人	カシオ計算機株式会社	東京都新宿区西新宿2丁目6番1号	
㉒ 復代理人	弁理士 阪本 紀康	外1名	

明 細 書

1. 発明の名称

波形生成装置

2. 特許請求の範囲

1) アドレス発生手段と、

波形を指定するコードデータと、該コードデータの展開ステップ数を指定するステップデータを1フレームのデータとして複数フレームのデータを記憶し前記アドレス発生手段の発生したアドレスに応じて前記1フレームのデータを出力する第1の記憶手段と、

前記コードデータと生成すべき波形の基本周波数信号とから作成されるアドレスまたは前記アドレス発生手段の発生するアドレスの一方を選択して出力する選択手段と、

該選択手段の出力が入力され波形データを出力する書き換え可能な第2の記憶手段と、

前記第1の記憶手段から出力される前記ステップデータを基に1フレームの期間を計測し計測値に応じて前記アドレス発生手段に次の1フレーム

のデータの出力を指示する計測手段とを具備することを特徴とする波形生成装置。

2) 前記第2の記憶手段は、RAMであることを特徴とする前記特許請求の範囲第1項記載の波形生成装置。

3) 前記第2の記憶手段は、EEPROMであることを特徴とする前記特許請求の範囲第1項記載の波形生成装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、周期的な複数の信号を生成する波形生成装置に関する。

(従来技術及びその問題点)

従来、例えば液晶プリンタ等においては、液晶光シャッタ(以後LCSと記す)に設けられた多数のマイクロシャッタの開閉により画像データの光書き込みを行い静電潜像の形成を行っている。

そして、光書き込みを高速に行うために低周波数 f_L と高周波数 f_H の2周波駆動により液晶光シャッタを制御している。さらに、駆動素子、配線

数、実装面積を減少して小型化を図るために時分割駆動を行っている。

第17図は、そのような液晶光シャックを時分割により2周波駆動するための駆動信号及びタイミング信号を生成するための液晶プリント内のLCS駆動信号生成回路を示すブロック図である。さらに第18図(a)は上記LCS駆動信号生成回路の動作を示すタイミングチャート、第18図(b)はROM2(後述)内に格納されているデータDSTATUSの内容を示す図である。以上のような第17図、第18図(a)、(b)を参照しながら従来のLCS駆動信号生成回路の構成及び動作を説明する。

まず、第17図において、カウンタ401は n 進($n \leq 2^m$)のカウンタであり、インバータ404を介して入力するクロック信号 ϕ の反転クロック信号 $\bar{\phi}$ に同期して $0 \sim n-1$ のカウンタを行い出力端子 Q_0 (LSB)～ Q_{m-1} (MSB)からブロックアドレス信号BLADRをROM(Read Only Memory)402のアドレス入力端子

$A_0 \sim A_{m-1}$ に出力する。ブロックアドレス信号BLADRは、第18図(a)に示すように $0 \sim n-1$ の値を持ち、 $0 \sim n-1$ の順にクロック信号 ϕ の立ち上がりエッジでサイクリックに周期 T_w でROM402に入力される。ROM402内には、第18図(b)に示すようにアドレス $0 \sim n-1$ にデータDSTATUSが格納されている。ROM402の端子CE(Chip Enable)と端子OE(Output Enable)は共にアースされており、常にアクティブ(Lレベル)となっているので、アドレス入力端子 $A_0 \sim A_{m-1}$ にブロックアドレス信号BLADRが入力する毎に、ROM402のデータ出力端子 $D_0 \sim D_7$ からブロックアドレスBLADRに対応したデータDSTATUSがラッチ403のデータ入力端子 $D_0 \sim D_7$ に出力される。

また、ROM402には入力端子 A_m 、 A_{m+1} が設けられており、入力端子 A_m 、 A_{m+1} にページ選択信号を入力することによって4種類のページを選択することができる。従って、ページ毎にデ-

ータDSTATUSの内容を変えて記憶しておくことによって、4種類(LCS駆動信号COM1、COM2、PT1、PT2、タイミング信号DSEL、 $\overline{CK2}$ 、TWSX)の組を生成することができる。

ラッチ403の端子CKには、クロック信号 ϕ が入力しており、クロック信号 ϕ の立ち上がりと一緒にデータ入力端子 $D_0 \sim D_7$ にROM402の出力端子 $D_0 \sim D_7$ から出力されるデータDSTATUSが入力し、次のクロック信号 ϕ の立ち上がりまで保持される。ラッチ403に入力したデータDSTATUSは、出力端子 $Q_0 \sim Q_6$ からそれぞれ、LCS駆動信号PT1、PT2、COM1、COM2、及びタイミング信号DSEL、 $\overline{CK2}$ 、TWSXとなって出力される。また、ラッチ403の出力端子 Q_7 からは、前記 n 進カウンタ1のリセット信号が、第18図(b)に示すデータDST($n-1$)がラッチ403に入力した際に n 進カウンタ1のリセット端子Rに出力される。従って、 n 進カウンタ1は $0 \sim n-1$

(ROM402のアドレス)までカウントした後、ROM402からラッチ403に出力されるデータDST($n-1$)のビット7の値"1"によってリセットされる(第18図(b)参照)。ラッチ403から出力されるLCS駆動信号COM1、COM2、PT1、PT2は図示していない記録制御部に出力され、記録制御部を介してLCSの時分割による2周波駆動の制御に使用される。

このように、従来のLCS駆動信号生成回路においては、ROM2に固定的に記憶されたデータDSTATUSによりLCS駆動信号COM1、COM2、PT1、PT2及びタイミング信号DSEL、 $\overline{CK2}$ 、TWSX等のLCS駆動波形を生成している。しかしながら、液晶技術の進歩や仕様変更等により液晶光シャックで使用する液晶材料の改良、変更等により液晶光シャックの動作特性が変化する場合がある。この時、従来のLCS駆動信号生成回路のように、ROM2に記憶されたデータDSTATUSにより固定的なLCS駆動波形しか生成できない波形生成装置では、液

品材料の変更、改良に伴うLCS駆動波形の仕様変更迅速に対処することが難しく、また、最適なLCS駆動波形を生成できないという問題があった。

〔発明の目的〕

本発明は、上記従来の問題点に鑑み、外部からデータを書き換えることにより、多様な駆動波形を得ることができると共に、仕様に応じた最適な駆動波形を外部制御により簡単に生成することができる波形生成装置を提供することを目的とする。

〔発明の要点〕

上記目的は本発明によれば、アドレス発生手段と、波形を指定するコードデータと、該コードデータの展開ステップ数を指定するステップデータを1フレームのデータとして複数フレームのデータを記憶し前記アドレス発生手段の発生したアドレスに応じて前記1フレームのデータを出力する第1の記憶手段と、前記コードデータと生成すべき波形の基本周波数信号とから作成されるアドレスまたは前記アドレス発生手段の発生するアドレ

スの一方を選択して出力する選択手段と、該選択手段の出力が入力され波形データを出力する書き換え可能な第2の記憶手段と、前記第1の記憶手段から出力される前記ステップデータを基に1フレームの期間を計測し計測値に応じて前記アドレス発生手段に次の1フレームのデータの出力を指示する計測手段とを具備することを特徴とする波形生成装置を提供することにより達成される。

〔実施例〕

以下、本発明の実施例について図面を参照しながら説明する。

第1図(a)、(b)、(c)は、本発明の一実施例であるLCS駆動信号生成回路の回路構成を示すブロック図である。同図(a)において、メモリ1、メモリ2は4ビット×32ワード構成のスタティックRAMであり、メモリ1にはマクロコードMAC(x)及びそのマクロコードMAC(x)の展開ステップ数ST(x)L、ST(x)Hが、メモリ2にはLCS駆動波形生成用のデータDSTATUSが格納されている。

ここで、メモリ1に格納されるマクロコードMAC(x)、展開ステップ数ST(x)L、ST(x)Hの構成を第4図(a)に示す。同図(a)に示すように、メモリ1にはブロックアドレス(BLADR)順にST(0)L、ST(0)H、MAC(0)、MAC(1)、ST(2)L、・・・、ST(14)L、ST(14)H、MAC(14)、MAC(15)が格納されており、同図(b)に示すアドレス(BLADR)=2x~2x+3に格納されるST(x)L、ST(x)H、MAC(x)、MAC(x+1)で1フレームを構成している(但し、xは0、2、・・・、12、14の偶数)。ここで、ST(x)L、ST(x)Hはそれぞれ展開ステップ数の下位4ビット、上位4ビットであり、展開ステップ数は8ビットデータである。尚、以後展開ステップ数[ST(x)L、ST(x)H]をST(x)と表わす。従って、0≤ST(x)≤255となり、展開ステップ数ST(x)は論理上0ステップから255ステップまで指定することができる。第4図(c)に、展開ステ

ップ数ST(x)L、ST(x)H、MAC(x)、MAC(x+1)の具体的なデータ例を示す。

メモリ1の接続構成について説明すると、まず、アドレス信号入力端子A₀~A₄には、それぞれアップカウンタ3のQ₀~Q₄出力(BLADR)が入力する。なお、Q₀が最下位ビット、Q₄が最上位ビットである。また、データ入力端子WD₀~WD₃は入力データバスIDB₀~3と接続されており、入力データバスIDB₀~3を介しメモリ1へマクロコードMAC(x)、MAC(x+1)及びマクロコードMAC(x)、MAC(x+1)の展開ステップ数ST(x)L、ST(x)Hの書き込みが行われる。また、メモリ1から読み出されたマクロコードMAC(x)、MAC(x+1)及びその展開ステップ数ST(x)L、ST(x)Hはデータ出力端子RD₀~RD₃からそれぞれラッチ4-1、4-2、4-3、4-4へ出力されると共に、データセレクト5へ出力される。さらに、データセレクト部6から出力される書込信号M1WRによりマクロコ

ードMAC(x)、MAC(x+1)及びその展開ステップ数ST(x)L、ST(x)Hの読み出し/書き込みが行われる。

次にアップカウンタ3は、0~31をカウントするアップカウンタであり、データセクタ部6から端子CK、Rにそれぞれパルス信号BLCLK、リセット信号RBLADRが入力されており、パルス信号BLCLKの立ち上がりによりカウントを行い、リセット信号RBLADR(Hレベル)により初期値(0)にリセットされる。また、アップカウンタ3は、カウント値BLADRをブロックアドレス信号としてメモリ1へ出力しておりカウント値BLADRが"3"、"31"のときに信号BLAD(3)、BLAD(31)をHレベルにしてそれぞれ同図(b)に示すナンドゲート7、アンドゲート8に加える。さらに、アップカウンタ3のカウント値BLADRの下位2ビットの信号がそれぞれ端子Q₀、Q₁からデコーダ9に出力される。

デコーダ9は端子Gの値が"1"(Hレベル)

の時に端子A、Bに入力する値に応じてQ₀~Q₃のいずれかの端子をLレベルにするデコーダである。デコーダ9の端子A、Bには前述したようにアップカウンタ3のカウント値BLADRの下位2ビットが入力しているため、デコーダ9はBLADRが" $2x+0$ "の時に端子Q₀の出力を、" $2x+1$ "の時に端子Q₁の出力を、" $2x+2$ "の時に端子Q₂の出力を、" $2x+3$ "の時に端子Q₃の出力をそれぞれLレベルとする(但し、xは0~14の偶数)。端子Q₂の出力(MACLL)、端子Q₃の出力(MACHL)、端子Q₀の出力(STLL)、端子Q₁の出力(STHL)は、それぞれラッチ4-1、4-2、4-3、4-4の端子CKに加わる。ラッチ4-1、4-2、4-3、4-4はいずれも端子CKの立ち上がり(Lレベル→Hレベル)で4ビットの入力データDをラッチする。ラッチ4-3、4-4の出力は、データセクタ部6の出力するセレクト信号ISELがLレベルになるかまたはダウンカウンタ10のカウント値が"0"になった

時にクロック信号φ₂の立ち上がりでダウンカウンタ10にセットされる。ダウンカウンタ10は8ビット入力(端子a~h)のダウンカウンタであり、最大 $2^8=128$ 回のカウントを行う。そして、カウント値が"4"になった時に端子ST(4)の出力をHレベルにし同図(b)に示すアンドゲート8に加え、カウント値が"1"になった時に端子ST(01)の出力をHレベルにしてアンドゲート11に加える。さらに、カウント値が"0"の時にキャリー信号STCYをHレベルとし、ナンドゲート7、フリップフロップ12の端子Kに加える。また、データセクタ13は後述するISELがHレベルの時にフリップフロップ14の出力するセレクト信号SELMACによりラッチ4-1の出力及びクロック信号φ₁、またはラッチ4-2の出力及びクロック信号φ₂のいずれかを選択しデータアドレス信号DADRとしてメモリ2に出力する。データセクタ13の回路構成を第2図(c)に示す。同図(c)に示す回路図において、入力端子A₀~A₃にラッチ4-1の出

力するマクロコードMAC(x)が入力端子B₀~B₃に、ラッチ4-2の出力するマクロコードMAC(x+1)が入力端子C₀~C₃にアップカウンタ3の出力するブロックアドレス信号BLADRが入力端子Dに入力するクロック信号φ₁が、外部端子Gにデータセクタ部6の出力する内部セレクト信号ISELが、セレクト端子Sにフリップフロップ14の出力するマクロデータセレクト信号SELMACが入力している。データセクタ13の動作を第2図(b)により説明すると、端子S(SELMAC)="0"(Lレベル)かつ端子G(ISEL)="1"(Hレベル)の時、出力端子Y₀~Y₃から(A₀~A₃入力(ラッチ4-1の出力するマクロコードMAC(x))、D入力(クロック信号φ₁))が、端子S(SELMAC)="1"(Hレベル)かつ端子G(ISEL)="1"(Hレベル)の時、出力端子Y₀~Y₃から(B₀~B₃入力(ラッチ4-2の出力するマクロコードMAC(x+1))、D入力(クロック信号φ₂))が、端子G(IS

EL) = "0"の時、出力端子 $Y_0 \sim Y_4$ から($C_0 \sim C_4$ 入力(アップカウンタ3の出力するブロックアドレス信号BLADR))がアドレス信号DADRとしてメモリ2のアドレス信号入力端子 $A_0 \sim A_4$ へ出力される。

次に、メモリ2はデータセレクト部6から入力する書込信号 \overline{MOWR} により、データセレクト13から入力するアドレス信号DADRの指定するアドレスに格納されたデータDDATAの読み出し/書込みを行う。メモリ2のデータ入力端子 $WD_0 \sim WD_3$ は入力データバス $iDB0-3$ と接続されており、 \overline{MOWR} がLレベルの時に入力データバス $iDB0-3$ を介してマクロデータDDATAの書き込みが行われる。また、メモリ2から読み出された4ビットのマクロデータDDATAは下位2ビットがデータ出力端子 $RD_0 \sim RD_1$ から同図向に示すデータセレクト15へ、上位2ビットがデータ出力端子 $RD_2 \sim RD_3$ からデータセレクト16へ出力される。データセレクト15、16の回路構成を第3図に示す。同図

に示すように、データセレクト15、16は端子GがLレベルの時は、 Y_0 、 Y_1 出力がHレベルに固定される。また端子GがHレベルでかつセレクト端子SがLレベルである時 A_0 、 A_1 入力が、Hレベルであれば B_0 、 B_1 入力を選択され、それぞれ Y_0 、 Y_1 出力となる。本実施例においては、データセレクト15のセレクト端子Sに外部からの制御信号PTSELが、データセレクト16のセレクト端子Sにフリップフロップ17のQ出力(DSELQ)が入力している。また、メモリ2の端子 RD_0 とデータセレクト15の端子 A_0 、 B_1 が、メモリ2の端子 RD_1 とデータセレクト15の端子 A_1 、 B_0 が、メモリ2の端子 RD_2 とデータセレクト16の端子 A_0 、 B_1 が、メモリ2の端子 RD_3 とデータセレクト16の端子 A_1 、 B_0 がそれぞれ接続されており、データセレクト15の Y_0 、 Y_1 出力がそれぞれラッチ18の端子 D_1 、 D_2 にデータセレクト16の Y_0 、 Y_1 出力がそれぞれラッチ18の端子 D_3 、 D_4 に入力している。従って、データセレクト

15はPTSELの制御によりメモリ2の RD_0 、 RD_1 出力とラッチ18の入力端子 D_1 、 D_2 との接続の切り換えを行う。また、後述するようにDSELQが周期 T_w の前半でLレベル、周期 T_w の後半でHレベルとなるので周期 T_w の前半にはメモリ2の RD_2 、 RD_3 出力がラッチ18の D_3 、 D_4 入力となり、周期 T_w の後半には、 RD_1 、 RD_2 出力がラッチ18の D_3 、 D_4 入力となる。

ラッチ18には、前述したデータセレクト15、16の Y_0 、 Y_1 出力の他に、フリップフロップ17の出力(DSELQ)、フリップフロップ12の出力(ITWSX)、ナンドゲート19の出力($\overline{TW SX Q}$)が、それぞれ端子 $D_3 \sim D_4$ に入力している。ラッチ18は、端子CKに外部から入力するクロック信号 ϕ_1 の立ち上がり同期して端子 $D_1 \sim D_4$ からデータを入力する。

ラッチ18の $Q_1 \sim Q_4$ 出力はバッファ部20を介しLCS駆動信号PT1、PT2、COM1、COM2、及びタイミング信号DSEL、CK2、

HTWSXとして後述する記録制御部200に出力され、 Q_1 出力の反転である $\overline{Q_1}$ 出力はタイミング信号LTWSXとして後述するビデオインターフェイス部40に出力される。

更に、ダウンカウンタ10の出力するキャリア信号STCYは同図向に示すインバータ21、ナンドゲート7、フリップフロップ12の端子Kに入力している。インバータ21の出力は、エネーブル付トグルフリップフロップであるフリップフロップ14の端子Eに入力しており、フリップフロップ14は、キャリア信号STCYがHレベルすなわちインバータ21の出力がLレベルの時に、エネーブルとなり、端子CKに入力する外部クロック信号 ϕ_2 の立ち上がり毎にフリップフロップ14のQ出力(SELMAC)は反転する。SELMAC、STCY、BLAD(3)の入力するナンドゲート7の出力は、エネーブル付トグルフリップフロップであるフリップフロップ17の端子Eに入力しており、フリップフロップ17のQ出力(DSELQ)は、SELMAC、STCY、

BLAD (3) が全てHレベルである時に端子CKに☐外部クロック信号 ϕ_2 の立ち上がりにより反転する。

また、フリップフロップ14、17のリセット端子Rにはデータセレクト部6の出力するセレクト信号 \overline{ISEL} が入力しており、 \overline{ISEL} がHレベルとなることにより(外部制御状態)、SELMAC、DSELQはLレベルとなる。

また、ダウンカウンタ10の出力するST01、フリップフロップ14のQ出力(SELMAC)及び外部クロック信号 ϕ_1 はアンドゲート11に入力しており、ST01及びSELMACがHレベルの間、クロック信号 ϕ_1 がアンドゲート11を通過してパルス信号IBLCLKとなりデータセレクト部6に入力する。また、フリップフロップ14のQ出力(SELMAC)、フリップフロップ17のQ出力(DSELQ)、アップカウンタ3の出力するBLAD (31)、ダウンカウンタ10の出力するST4はアンドゲート8に入力しており、アンドゲート8の出力(TSXQ)は

周期 T_w の後半($T_w/2$)においてSELMA C及びDSELQがHレベルでかつBLAD

(31)がHレベルである時にST4がHレベルになるとHレベルとなってフリップフロップ12の端子Jに加わる。フリップフロップ12は、J-K型のフリップフロップであり、端子Kにはダウンカウンタ10の出力するキャリー信号STCYが入力している。フリップフロップ12のQ出力(\overline{ITWSX})はラッチ18の端子D₀に入力しており \overline{Q} 出力はナンドゲート19に入力する。ナンドゲート19にはデータセレクト部6の出力するISELが入力しており、ISELがHレベルの時に(内部制御状態)フリップフロップ12のQ出力がナンドゲート19を通過して、 \overline{TWSXQ} となってラッチ18の端子D₁に入力する。

データセレクト部6は、外部から入力するセレクト信号ISELを反転して \overline{ISEL} をフリップフロップ14、17のリセット端子Rに出力するインバータ6a、インバータ6aの出力する \overline{ISEL} を反転してISELをダウンカウンタ10、

ナンドゲート19に出力するインバータ6b、アンドゲート11の出力するパルス信号IBLCLKかつインバータ6bの出力するISELがHレベル時に、外部クロック信号 ϕ_0 を通過させナンドゲート21に出力するナンドゲート6c、インバータ6aの出力する \overline{ISEL} かつ外部セレクト信号MEMSELがHレベルの時に、外部から入力する書込信号XMWRを通過させ \overline{MIWR} としてナンドゲート21及びメモリ1の端子WEに出力するナンドゲート6d、インバータ6aの出力する \overline{ISEL} がHレベルのときに外部から入力するリセット信号XRBLADを通過させアップカウンタ3のリセット端子Rにリセット信号RBLADRとして出力するアンドゲート6e、インバータ6bの出力する \overline{ISEL} がHレベルの時にアンドゲート11の出力するパルス信号IBLCLKを通過させるアンドゲート6f、インバータ6aの出力するISELがHレベルの時に外部から入力するパルス信号XBLCLKを通過させるアンドゲート6g、アンドゲート6fの出力する

IBLCLK、アンドゲート6gの出力するXBLCLKを入力してどちらか一方をアップカウンタ3のクロック端子CKに出力するオアゲート6h、及び外部セレクト信号MEMSELを入力し反転するインバータ6i、更にインバータ6iの出力かつ \overline{ISEL} (インバータ6aの出力)がHの時に、書込制御信号XMWRを反転して通過させ書込制御信号 \overline{MOWR} としてメモリ2の端子WEに加えるナンドゲート6jとから成っている。

更に、データセレクト5は外部セレクト信号MEMSELによりメモリ1の出力データ端子RD₀～RD₃から読み出されたデータまたはメモリ2の出力データ端子RD₀～RD₃から読み出されたデータを選択して出力データバスODB0-3上に出力するセレクトである。

次に、ビデオインターフェイス部40の構成を図1図(c)を参照しながら説明する。ビデオインターフェイス部40は、外部からビデオデータHLTXDを同じく外部から入力するクロックHLTXCKに同期してラッチし、バッファリングを行

って記録制御部200(後述)に出力すると共に、クロック $\overline{\text{HLTXCK}}$ を分周して2つのクロック信号 $\overline{\text{CK1A}}$ 、 $\overline{\text{CK1B}}$ を生成し記録制御部200に出力するインターフェイス回路である。さらに詳しくその回路構成を説明するとビデオデータ $\overline{\text{HLTXD}}$ はインバータ40aにより反転させられた後、フリップフロップ40bのD入力となる。また、外部から入力するクロック信号 $\overline{\text{HLTXCK}}$ はインバータ40cにより反転した後、フリップフロップ40bのクロック端子CKに入力し、前記ビデオデータ $\overline{\text{HLTXD}}$ の反転信号 $\overline{\text{HLTXD}}$ は、前記クロック信号 $\overline{\text{HLTXCK}}$ の立ち上がりによりラッチ40bにラッチされる。フリップフロップ40bのQ出力はインバータ40dに反転させられた後、バッファ40eによりビデオデータ $\overline{\text{LXTD}}$ として記録制御部200に出力される。

一方、インバータ40cの出力するクロック信号 $\overline{\text{HLTXCK}}$ の反転信号 $\overline{\text{HLTXCK}}$ はフリップフロップ40fの端子T及びインバータ40g

にも入力する。フリップフロップ40fとフリップフロップ40hはカスケード接続されており、 $\overline{\text{HLTXCK}}$ はフリップフロップ40f、40hにより1/4に分周され、フリップフロップ40hのQ出力はナンドゲート40i、フリップフロップ40kの端子Sに入力する。また、フリップフロップ40hの $\overline{\text{Q}}$ 出力はナンドゲート40jに入力し、フリップフロップ40kのQ出力はナンドゲート40i、40jに入力している。さらにナンドゲート40i、40jにはインバータ40gを介して $\overline{\text{HLTXCK}}$ が入力しており、前記ラッチ18の $\overline{\text{Q}}$ 出力(LTWSX)がインバータ40gを介しフリップフロップ40f、40h、40kのリセット端子Rに入力している。ナンドゲート40i、40jの出力はそれぞれバッファ40l、40mを介しクロック信号 $\overline{\text{CK1A}}$ 、 $\overline{\text{CK1B}}$ として記録制御部200に入力する。クロック信号 $\overline{\text{CK1A}}$ 、 $\overline{\text{CK1B}}$ は、 $\overline{\text{HLTXCK}}$ に同期して交互に2クロックパルスが発生するクロック信号である。

次に、以上のように構成されたLCS駆動信号生成回路の動作説明を行う。

起動時においては、ISEL及びDRVENがLレベルにリセットされる。まず、データセクタ15、16の端子GにLレベルのDRVENが加わることで、データセクタ15、16のY₀、Y₁出力は全て、Hレベルに固定される。このことにより、LCSの信号電極(不図示)に加わるLCS駆動信号PT1、PT2、LCSの共通電極(不図示)に加わるLCS駆動信号COM1、COM2は同電位となり、LCSに不測の電圧、特に直流電圧が印加されることが防止される。また、ISELがLレベルにリセットされることにより、外部制御モードが選択され、外部から入力するパルス信号XBLCLK、ブロックアドレス信号XBLAD、書込制御信号XMWR、及びセレクト信号MENSELが有効となる。また、データセクタ部6を介しISELがHレベルとなることによりフリップフロップ14、17のQ出力(SELMAC、DSELQ)がLレベ

ルとなり、外部クロック信号φ₁がアンドゲート11を通過できず内部パルス信号IBLCLKの発生が中止する。更に、ISELがLレベルとなってデータセクタ13の端子Gに加わるので、データセクタ13はC₀～C₄入力(アップカウンタ3から出力されるブロックアドレス信号BLADR)を選択し、メモリ2のアドレス信号入力端子A₀～A₄に出力する。また、SELMAC、DSELQがLレベルとなってアンドゲート8に加わるので、アンドゲート8の出力TSXQがLレベルに固定されフリップフロップ12の端子Jに加わる。このため、フリップフロップ12のQ出力(ITWSX)がLレベルに固定されるようになり、ラッチ18、バッファ部20を介し出力されるパルス信号CK2の発生は中止される。このため、後述説明するように、記録制御部200は、ビデオインターフェイス部40から入力するビデオ信号の入力を中止する。ISELをLレベルとして、リセット信号XRBLAD(Hレベル)を入力することによりデータセクタ部

6を介し、アップカウンタ3のリセット端子RにRBLADR (Hレベル) が加えられ、アップカウンタ3が“00000 B” (Bは2進値を示す記号) にリセットされる。そして、外部からパルス信号XBLCLKをデータセクタ部6に入力することにより、データセクタ部6からパルス信号BLCLKがアップカウンタ3のクロック端子CKに加えられ、アップカウンタ3がカウントされる。アップカウンタ3のカウント値はブロックアドレス信号BLADRとしてメモリ1のアドレス信号入力端子A₀～A₄及びデータセクタ13の端子C₀～C₄に入力する。そして、データセクタ13を介し、メモリ2のアドレス信号入力端子A₀～A₄にブロックアドレス信号BLADRが供給される。

初期設定時において、メモリ1、メモリ2のいずれかに最初にデータを書き込むかは限定されないが、メモリ2に最初にデータを書き込む方が望ましい。従って、外部からセレクト信号MEMSELをLレベルとし、外部書込制御信号XMWR

のパルス入力により、データセクタ部6から書込信号MOWRがメモリ2の端子WEに加わるようにする。

以下、簡単にメモリ2へのマクロデータDDATAの書込の方法を説明する (ISEL=DRVEN=MEMSEL=Lレベル)。

① 入力データバスIDB0-3を介し、メモリ2のデータ入力端子WD₀～WD₃にマクロデータDDATAを出力する。

② 外部書込制御信号XMWRのパルス入力によりデータセクタ部6を介し、書込信号MOWR (Lレベル) をメモリ2の端子WEに加える。このことにより、マクロデータDDATAがブロックアドレス信号BLADRの指定するアドレスに書き込まれる。

③ 外部からパルス信号XBLCLKを加えデータセクタ部6を介しパルス信号BLCLKをアップカウンタ3のクロック端子CKに加える。そのことによりアップカウンタ3をカウントし、ブロックアドレス信号BLADRを進める。

以上、①～③の動作により、1ブロックのマクロデータDDATAがメモリ2に書き込まれる。

そして、①～③の動作を繰り返し行って、全ブロックのマクロデータDDATAをメモリ2に書き込む。

尚、書き込み終了後データセクタ5、出力データバスODB0-3を介して、書き込みを行ったマクロデータDDATAをメモリ2から読み出して、マクロデータDDATAの内容を確認する (ベリファイ)。

ベリファイの結果、全ブロックのマクロデータDDATAが正しいことが確認されたら、メモリセレクト信号MEMSELをHレベルに切り換えメモリ1に展開ステップ数ST(x)L、ST(x)H、マクロコードMAC(x)、MAC(x+1)を上記①～③とほぼ同様の動作によりメモリ1に書き込む。メモリ1へのデータ書込動作においては、上記①の動作において、入力データバスIDB0-3に展開ステップ数ST(x)L、ST(x)H、マクロコードMAC(x)、

MAC(x+1)を順次出力する。そして、メモリ2への書き込みと同様メモリ1へ書き込んだデータを、データセクタ5、出力データバスODB0-3を介し読み出し、書き込んだ展開ステップ数ST(x)L、ST(x)H、マクロコードMAC(x)、MAC(x+1)が全て正しいかどうか確認し、正しいことが確認されたら、ISELをHレベルとし、内部制御に切り換える。尚、DRVENは、ISELをHレベルとした後、少なくとも1周期(Tw)後にHレベルとする。

そのことにより、LCS駆動信号PT1、PT2、COM1、COM2及びタイミング信号DSEL、CK2、HTWSXは正常に動作する。

次に本実施例の1周期(Tw)の動作を第5図及び第6図のタイミングチャートを参照しながら説明する。

メモリ1には、前述したように第4図(ハ)に示すような32ブロックのDSTATUSすなわち8フレーム分のDSTATUSが格納されている。この8フレーム分のDSTATUSを周期の前半

($T_w/2$)と後半($T_w/2$)で用いるので、1周期(T_w)は16フレームとなる。第5図は、周期 T_w の後半の最終フレーム(第16フレーム)の後半からのタイミングチャートであり、第6図は1周期(T_w)のタイミングチャートである。

第16フレームの後半において、ダウンカウンタ10のカウンタ値STCNTが"1"になると、ダウンカウンタ10からST01がHレベルとなってアンドゲート11に加わる。ST01は、カウンタ値STCNTが"1"及び"0"の間、Hレベルが維持される。この時、フリップフロップ14のQ出力(SELMAC)はHレベルであり、クロック信号 ϕ_1 がアンドゲート11を通過して、パルス信号iBLCCLKとなってデータセクタ部6に入力する。

iBLCCLKがデータセクタ部6に入力すると、第5図に示すようにデータセクタ部6からアップカウンタ3の端子CKに入力するBLCCLKに4個のクロックパルスが発生し、アップカウンタ3からBLCCLKの立ち上がり毎にBLAD

R=0, 1, 2, 3がメモリ3へ出力される。また、この時ISELはHレベルなのでデータセクタ部6のナンドゲート6cから、iBLCCLKがHレベルの間クロック信号 ϕ_0 がナンドゲート6c, 21を介しデコード9の端子Cに入力し、デコード9はクロック信号 ϕ_0 がHレベルの期間アクティブとなる。

アップカウンタ3からBLADR (=0)がメモリ1に出力されると、メモリ1はST(0)Lを出力する。この時、クロック信号 ϕ_0 に同期してデコード9からパルス信号STLLがラッチ4-3に出力される。ラッチ4-3は、STLLの立ち上がりによりメモリ1の出力するST(0)Lを入力し、ST(0)Lをダウンカウンタ10の端子a~dに出力する。次に、アップカウンタ10からBLADR (=1)がメモリ1に出力されると、同様にメモリ1から出力されたST(0)Hは、デコード部9の出力するパルス信号STHLの立ち上がりによりラッチ4-4にラッチされ、ラッチ4-4からST(0)Hがダウン

カウンタ10の端子e~hに出力される。

以下、同様にBLCCLKの立ち上がりによりアップカウンタ3からメモリ1にBLADR (=3) BLADR (=4)が出力されデコード9の出力するパルス信号MACLL, MACHLによりメモリ1の出力するMAC(0), MAC(1)がそれぞれラッチ4-1, 4-2にラッチされる。ラッチ4-1, 4-2は、それぞれMAC(0), MAC(1)をデータセクタ13の端子A₀~A₃, B₀~B₃に出力する。

第5図のタイミングチャートにおいてLSTDはラッチ4-3及び4-4がダウンカウンタ10に出力する展開ステップ数を、LMACはラッチ4-1及び4-2の出力するマクロコードを示している。同図において、ST(0)は、(ST(0)L, ST(0)H)の8ビットデータを示している。ダウンカウンタ10のカウンタ値STCNTが"0"になると、キャリア信号STCYがHレベルとなりダウンカウンタ10は、LSTD(この場合、ST(0))を入力する。

また、Hレベルのキャリア信号STCYは、ダウンカウンタ10からインバータ21、ナンドゲート7、フリップフロップ12の端子Kに加えられる。このため、インバータ21の出力(Lレベル)がフリップフロップ14の端子Eに加わり、フリップフロップ14はエネーブルとなり、クロック信号 ϕ_2 の立ち上がり(クロック信号 ϕ_2 の立ち下がり)によりフリップフロップ14のQ出力(SELMAC)はHレベルからLレベルに反転する。SELMACがLレベルになると、データセクタ13によりラッチ4-1の出力(MAC(0))が選択されデータセクタ13の端子A₀~A₃にクロック信号 ϕ_0 と共に入力する。また、ナンドゲート7の出力(Lレベル)がフリップフロップ17の端子Eに加わり、フリップフロップ17のQ出力(DSELQ)はクロック信号 ϕ_2 の立ち上がりによりHレベルからLレベルに反転する。このため、データセクタ16によりメモリ2のデータ出力端子RD₀, RD₁とラッチ18の端子D₀, D₁が接続される。更に、

メモリ2のデータ出力端子RD₀、RD₁とラッチ18の端子D₁、D₂との接続関係は外部セレクト信号PTSELに基づいたデータセクタ15の選択により決定されるが、以後、PTSELがLレベルであるものとして説明する。PTSELがLレベルの時、メモリ2のデータ出力端子RD₀、RD₁はデータセクタ15によりそれぞれラッチ18の端子D₁、D₂に接続される。

次に、ダウンカウンタ10はクロック信号φ₂の立ち上がりで(この時、STCYはHレベル)、ST(0)をカウント値STCNTとしてセットし、以後クロック信号φ₂の立ち上がりに同期してカウントダウンを行う。ダウンカウンタ10が、ST(0)から0までカウントダウンする間($T\phi_2 \times (ST(0) + 1)$)、データセクタ13を介しマクロコードMAC(0)及びクロック信号φ₂の5ビットから成るアドレス信号DADRで指定されるマクロデータDDATAがメモリ2から読み出されデータセクタ15、16を介しラッチ18の端子D₁~D₄に入力する。

(x)、MAC(x+1)が格納され、メモリ2のアドレスDADR=0~31に第4図(d)に示すマクロデータDDATAが格納されていた場合、第9図に示すようなLCS駆動信号COM1、COM2、PT1、PT2がラッチ18のデータ出力端子Q₁~Q₄から記録制御部200へ出力される。

第4図(d)に示すアドレスDADR0~31に格納されたマクロデータDDATAにより生成される信号波形PT1、PT2、COM1、COM2を第7図(a)に示す。

第7図(a)において、DADR₀及びDADR₁はメモリ2のアドレスDADRを示しており、同列に記されたDADR₀及びDADR₁の指定するアドレスに格納された2つのマクロデータDDATAを展開することにより同図(a)に示す信号波形PT1、PT2、COM1、COM2が得られる。また、縦軸は電圧値を示しており、f_m、*f_mは高周波信号(*f_mはf_mの位相差180°の信号)である。Y₁、Y₂出力は、OFF-O

クロック信号φ₂はメモリ2のアドレス信号入力端子A₀~A₄の最上位ビットA₄の入力となるので、メモリ2のアドレス信号DADRはクロック信号φ₂が"0"(Lレベル)、"1"(Hレベル)と変化する毎にDADR₀、DADR₀+16と変化する(尚、DADR₀は、クロック信号φ₂が"0"の時のアドレス信号DADRであり、第9図にはDADR₁、DADR₁+16で指定される2個のマクロデータをDDATA_i(i=0、1、2、...)として示している。

従って、高周波信号f_mの周期Tf_mは、Tφ₂と等しい。

ラッチ18の端子D₁~D₄に入力するマクロデータDDATAは、ラッチ18の出力端子Q₁~Q₄からそれぞれLCS駆動信号PT1、PT2、COM1、COM2となって記録制御部200に出力される。

ここで、メモリ1のブロックアドレスBLADR=0~31に第4図(e)に示す展開ステップ数ST(x)L、ST(x)H、マクロコードMAC

FF駆動セグメント電極信号PT1、ON-ON駆動セグメント電極信号PT2に対応しており、Y₁、Y₂出力は共通電極信号のCOM1、COM2に対応している。LCSの後述する信号電極にY₁(PT1)、Y₂(PT2)を、後述する共通電極にY₃(COM1)、Y₄(COM2)を入力した場合のLCSのマイクロシャックに加わる電圧は波形を第7図(b)に示す。同図において、(0)は無電界であることを示している。

LCSの開閉制御は、第7図(b)に示す電圧波形をLCSに印加することにより行われる(2周波駆動)。

次に、第8図(a)に示す駆動波形COM1、COM2、PT1、PT2を生成しようとする場合、第7図(a)に示された駆動波形では、第8図(a)のTd、Teの区間の波形を生成することはできない。この場合には、メモリ2に格納されるマクロデータDDATAの内容を第8図(b)に示すように変更する。第4図(d)と第8図(b)を比較するとわかるように、第8図(b)においては、第4図(d)におけ

るアドレスDADR=8, 9, 24, 25のマクロデータDDATAの内容を変更した。メモリ2のアドレスDADR=0~31に格納されたマクロデータDDATAを展開して第8図(ハ)に示す駆動波形を得るために、メモリ1のブロックアドレスBLADR=0~31に格納すべきデータDATATUSの内容を第8図(ハ)に示す。

ところで、アップカウンタ3からBLADR (=3) がメモリ1に出力されると、この時BLAD(3)がHレベルとなってナンドゲート7に加わる。第5図のタイミングチャートに示すように、SELMAC, STCYが共にHレベルの時にBLAD(3)がHレベルとなるのでナンドゲート7からフリップフロップ17の端子EにLレベルが加わり、フリップフロップ17のQ出力(DSELQ)は ϕ_2 の立ち上がり(ϕ_2 の立ち下がり)で第6図のタイミングチャートに示すようにHレベルからLレベルに反転する。このため、データセクタ16によりメモリ2のRD₂, RD₃出力はそれぞれラッチ18の端子D₂, D₃

の入力となる。アンドゲート7の出力は次にBLADRが"3"となって、BLAD(3)が再びHレベルにならないと、Lレベルにならないので、フリップフロップ17のQ出力(DSELQ)は周期の前半($T_w/2$)の間Lレベルに維持される。したがって、周期の前半においてはメモリ2のRD₂, RD₃出力がラッチ18のD₂, D₃入力となる。

更に、カウントダウンが行われダウンカウンタ10のカウント値STCNTが再び"1"になると、ST01がLレベルからHレベルに変化する。しかし、この時はSELMACはLレベルなので、クロック信号 ϕ_1 はアンドゲート11を通過できず、iBCLKにクロックパルスは発生しない。従って、アップカウンタ3の出力するBLADRは"3"のままである。次にダウンカウンタ10のカウント値STCNTが"0"になると、キャリー信号STCYがHレベルとなってインバータ21に加わり、インバータ21を介しフリップフロップ14がエネーブルとなり、クロッ

ク信号 ϕ_2 の立ち上がり(ϕ_2 の立ち下がり)によりフリップフロップ14のQ出力(SELMAC)はLレベルからHレベルに変化する。データセクタ13は、HレベルのSELMACが端子Sに加わると、ラッチ4-2の出力するマクロコードMAC(1)を選択しメモリ1の端子B₀~B₃に出力する。一方、前記クロック信号 ϕ_2 の立ち上がりによりダウンカウンタ10にはラッチ4-3、4-4の出力するステップ数ST(0)が再びセットされるので、第1フレームの後半において前述した第1フレームの前半と同様にマクロコードMAC(1)及びクロック信号 ϕ_1 から成るアドレス信号DADRの指定するアドレスに格納されたマクロデータDDATAにより $T_{\phi_1} \times (ST(0) + 1)$ の期間、信号波形が生成されラッチ18及びバッファ部20を介し記録制御部200に出力される。

そして、再びダウンカウンタ10によりカウントダウンが行われ、カウント値STCNTが"1"、"0"の時にST01が再びHレベルとなり、前

述した第16フレームの後半と同様の動作によりBCLKに4つの連続するパルスが発生し、アップカウンタ3から、BLADR=4~7がメモリ1へ出力される。そして、STL, STHLの立ち上がりによりステップ数ST(2)がラッチ4-3、4-4にラッチされ、MACLLの立ち上がりによりマクロコードMAC(2)がラッチ4-3に、MACHLの立ち上がりによりマクロコードMAC(3)がラッチ4-4にラッチされる。また、ダウンカウンタ10のカウント値が"0"になるとダウンカウンタ10からキャリー信号STCY(Hレベル)が発生し、クロック信号 ϕ_2 の立ち上がり(ϕ_2 の立ち下がり)で、ラッチ4-3、4-4の出力するステップ数ST(2)がダウンカウンタ10にセットされ、クロック信号 ϕ_2 の立ち上がりによりフリップフロップ14のQ出力(SELMAC)がHレベルからLレベルに変化しラッチ4-1の出力するマクロデータMAC(2)及びクロック信号 ϕ_1 がデータセクタ13より選択されアドレス信号DAD

R となってメモリ 2 に入力する。以後、第 1 フレームと同様にして第 2 フレームの前半において $T\phi_2 \times (ST(2) + 1)$ の期間マクロデータ $MAC(2)$ 及びクロック信号 ϕ_2 に基づいて、第 2 フレームの後半において $T\phi_2 \times (ST(2) + 1)$ の期間、マクロデータ $MAC(3)$ 及びクロック信号 ϕ_2 に基づいて、メモリ 2 からマクロデータ $DDATA$ が読み出され信号波形 $PT1$ 、 $PT2$ 、 $COM1$ 、 $COM2$ が生成される。

このように、データセクタ部 6 から、1 フレームの動作が終了する毎に、4 パルスの $BLCCLK$ が発生し、この $BLCCLK$ に同期してアップカウンタ 3 から連続する 4 ブロックのアドレス ($BLADR$) がメモリ 1 に出力される。そして、メモリ 1 から読み出されたステップ数 $ST(x)$ L 、 $ST(x)$ H がそれぞれラッチ 4-3、4-4 に、マクロデータ $MAC(x)$ 、 $(x+1)$ がそれぞれラッチ 4-1、4-2 に、それぞれデコーダ 9 の出力するラッチ信号 $STLL$ 、 $STHL$ 、 $MACLL$ 、 $MACHL$ の立ち上がりで入力し保持さ

れる。尚、 x は $0 \sim \frac{1}{2} - 2$ の偶数、すなわち本実施例では $n = 32$ より、 x は $0 \sim 14$ の偶数である。メモリ 2 のアドレス信号入力端子 $A_0 \sim A_4$ には、フリップフロップ 14 の出力する $SELMAC$ の制御により、フレームの前半にマクロデータ $MAC(x)$ 及びクロック信号 ϕ_2 が、フレームの後半にマクロデータ $MAC(x+1)$ 及びクロック信号 ϕ_2 が入力し、フレームの前半にマクロデータ $MAC(x)$ 及びクロック信号 ϕ_2 の指定するアドレスのフレームの後半にマクロデータ $MAC(x+1)$ 及びクロック信号 ϕ_2 の指定するアドレスのマクロデータ $DDATA$ がメモリ 2 から読み出され、 LCS 駆動信号 $PT1$ 、 $PT2$ 、 $COM1$ 、 $COM2$ が生成される。

また、フレームの周期はステップ数 $ST(x)$ によって規定され、フレームの前半、後半共に $T\phi_2 \times (ST(x) + 1)$ となる。メモリ 1 に第 4 図(c)に示すデータ $DSTATUS$ を格納し第 4 図(d)に示すマクロデータ $DDATA$ をメモリ 2 に格納した場合に生成される LCS 駆動信号 CO

$M1$ 、 $COM2$ 、 $PT1$ 、 $PT2$ の周期 T_w の前半 ($T_w/2$) の波形例を第 9 図に示す。同図において f_L 、 $f_{L'}$ は低周波信号、 f_H 、 $*f_H$ は高周波信号であり、 $*f_H$ は f_H の位相を 180° ずらした波形である。メモリ 2 のアドレス信号 $DADR$ は、クロック信号 ϕ_2 により変化するので、 f_H の周波数 Tf_H はクロック信号 ϕ_2 の周期 $T\phi_2$ と等しい。また、第 5 図に示すように ϕ_2 の周期は ϕ_1 の 2 倍となっているので、第 9 図に示すように $Tf_H = 2T\phi_2$ である。

また、周期 T_w の前半 ($T_w/2$) が終了すると、データセクタ部 6 から 4 パルスの $BLCCLK$ が発生し、アップカウンタ 3 から $BLADR = 0, 1, 2, 3$ がメモリ 1 へ出力される。そして、 $BLADR$ が "3" になると、アップカウンタ 3 から $BLAD(3)$ が H レベルとなってナンドゲート 7 を介しフリップフロップ 17 の端子 B に加わるのでフリップフロップ 17 の Q 出力 ($DSELRQ$) のレベルが変化し (L レベル $\rightarrow H$ レベル)、データセクタ 18 によりメモリ 2 の R

D_2 、 RD_2 出力が夫々ラッチ 18 の D_4 、 D_3 入力に切り換えられる。周期 T_w の後半 ($T_w/2$) においても、前半 ($T_w/2$) と同様メモリ 2 に格納されたマクロデータ $DDATA$ がステップ数 $ST(0) \sim ST(7)$ に基づいて展開されるが、メモリ 2 の RD_2 、 RD_3 出力がデータセクタ 16 により切り換えられたために、第 9 図に示すように $COM1$ と $COM2$ の波形が周期 T_w の前半 ($T_w/2$) と後半 ($T_w/2$) では入れ換わる。

そしてメモリ 2 に格納されたマクロデータ $DDATA$ によって生成された LCS 駆動信号 $PT1$ 、 $PT2$ 、 $COM1$ 、 $COM2$ は、クロック信号 ϕ_1 の立ち上がりに同期してラッチ 18、バッファ部 20 を介し記録制御部 200 (後述) に出力される。

一方、第 6 図のタイミングチャートに示すように、周期 T_w の後半 ($T_w/2$) の最終フレーム (第 16 フレーム) の後半において、アップカウンタ 3 の出力するブロックアドレス $BLADR$ が

最終アドレス ("31") となり、ダウンカウンタ10の出力するカウント値STCNTが"4"になるとBLAD(31)、ST4がHレベルとなりアンドゲート8の出力(TSXQ)がHレベルとなってフリップフロップ12の端子Jに加わり、STCYがLレベルなので ϕ_2 の立ち上がりでフリップフロップ12のQ出力(\overline{ITWSX})はHレベル、 \overline{Q} 出力はLレベルに反転する。このため、ナンドゲート19の出力(TWSXQ)がLレベルからHレベルに変化する。TSXQは、STCNTが"3"になるとLレベルに変化し、フリップフロップ12のQ出力(\overline{ITWSX})は、 ϕ_1 の立ち上がりでラッチ18にラッチされ、バッファ部20を介してCK2として記録制御部200に出力される。

この時、前記TWSXQは ϕ_1 の立ち上がりで、ラッチ18にラッチされ、バッファ部20を介してHTWSXとして外部装置(図示せず)に出力される。また、HTWSXの反転信号LWSXがビデオ・インターフェイス部40のバッファ

40rに出力される。

次に、カウント値STCNTが"0"になると、ダウンカウンタ10からキャリー信号STCYがHレベルとなってフリップフロップ12の端子Kに加わり、端子Jに加わるTSXQがLレベルなのでクロック信号 ϕ_2 の立ち上がりでフリップフロップ12のQ出力がHレベルに反転する。このため、ナンドゲート19の出力TWSXQは再びLレベルとなる。

また、キャリー信号STCYはアンドゲート7にも加わり、アンドゲート7からフリップフロップ17の端子EにLレベルが加わるので、 ϕ_2 の立ち上がりでフリップフロップ17のQ出力(DSELQ)がHレベルからLレベルに反転する。DSELQは、 ϕ_1 の立ち上がりでラッチ18にラッチされバッファ部20を介してDSELとして記録制御部200に出力される。

一方、ビデオインターフェイス部40は、HTWSXがLレベルの期間、クロック信号HLTXCKの立ち下がり同期して外部装置(不図示)

から1ライン分のビデオデータHLTXDをラッチ40bに入力し、インバータ40d、バッファ40eを介しビデオデータLTXDとして記録制御部200に出力する。また、クロック信号HLTXCKからフリップフロップ40f、40h、40k、インバータ40g、ナンドゲート40i、40jにより2つのクロック信号CK1A、CK1Bを生成し、それぞれバッファ40l、40mを介し記録制御部200に出力する。クロック信号CK1A、CK1Bは前述したように交互に2クロックパルスずつ発生する。

記録制御部200は、後述詳しく説明するように、一周期 T_w の間にビデオインターフェイス部40から1ライン分のビデオデータLTXDをクロック信号CK1A、CK1Bに同期して受信する。そして、ビデオデータLTXDの値を基に、LCS駆動信号生成回路から入力するLCS駆動信号PT1、PT2の選択を行ってLCSの信号電極に印加し、LCS内の各マイクロシャッタの開閉制御を行い光蓄込みを行っている。また、こ

の時LCS駆動信号COM1、COM2はLCSの共通電極に印加される。後述詳しく説明するが、PTSELがLの場合には、LCS駆動信号PT1はLCSの各マイクロシャッタを閉にするLCSオフ駆動信号、LCS駆動信号PT2はLCSの各マイクロシャッタを開にするLCSオン駆動信号であり、LCS駆動信号COM1、COM2はそれぞれ周期 T_w の前半($T_w/2$)、後半($T_w/2$)にLCSを選択する信号である。

また、光蓄込みによる画像形成の方法にはLCSが閉で光照射が行われなかった箇所を黒として記録する正規現像方式と、LCSが開で光照射が行われた箇所を黒として記録する反転現像方式があるが、本実施例では外部CPU(不図示)等の制御により正規現像方式の場合にはPTSELをLレベルとし、反転現像方式の場合にはPTSEL-Hレベルとすることにより、上記いずれの現像方式においてもビデオデータLTXDのビットが"1"の場合には黒ドットを記録するように統一することが可能である。

以下、前述した本実施例のLCS駆動信号生成回路を適用した記録装置100について説明を行う。

第10図は記録装置100の概略構成図であり、第10図に従って記録装置100の構成を説明する。

同図において、感光体ドラム101はアルミ等の金属よりなる円筒形の素管の外周面に光導電性感光体を塗布もしくは蒸着して構成されており、記録動作時には図示矢印方向Bに回転する。感光体ドラム101の周面近傍には帯電器102、光記録ヘッド103、現像器104、転写器105、クリーナ106等が配設されている。

帯電器102は回転移動する感光体ドラム101の表面にコロナ放電を行って、感光体ドラム101の表面を所定電位に帯電するものであり、光記録ヘッド103は所定電位に帯電された感光体ドラム101の表面に記録すべき画像に応じた光照射を行って静電潜像を形成する（光記録ヘッド103の詳細については後述する）。

ように、液晶光シャッタ111は下ガラス基板131と上ガラス基板132の間に液晶剤（図示せず）を封入して構成されている。下ガラス基板131の上面には信号電極133が形成され、上ガラス基板132の下面には信号電極133とほぼ直交する方向に延びる共通電極（図示せず）が2本形成されており、信号電極133と共通電極の交差部にマイクロシャッタ134が形成されている。

各マイクロシャッタ134は、共通電極に所定の駆動信号を供給し、各信号電極133にマイクロシャッタ134を開閉させるための開閉駆動信号を供給することにより、個別に開閉される。

次に、再び第11図に戻って説明を行うと、液晶光シャッタ111に光を照射するための光源である蛍光灯112はランプケース113内に収容されており、ランプケース113内の空間は蛍光灯112を冷却するために空気が流通するように構成されている。液晶光シャッタ111は精度良く位置決めされるようにヘッドベース114の位

感光体ドラム101の表面に形成された静電潜像はトナーを収容した現像器104により現像されてトナー像となる。

このトナー像は図示しない搬送手段によりトナー像と同期して搬送されてくる転写紙107と重なり、転写器105のコロナ放電により転写紙107上に転写される。

転写紙107上に転写されたトナー像は図示しない定着器により転写紙上に定着され、トナー像の定着された転写紙107は図外に排出される。また、転写の際に転写紙107に転写されずに感光体ドラム101の表面に残留したトナーはクリーナ106により感光体ドラム101の表面より除去される。

次に、第11図は前記光記録ヘッド103の断面図である。以下、同図を参照しながら光記録ヘッド103の構成を説明する。

光記録ヘッド103内には液晶光シャッタ111が設けられている。第12図は液晶光シャッタ111の構成を示す斜視図である。同図に示

置決め基準部に固定され、また結像レンズアレイ115も液晶光シャッタ111との位置関係を定めるためにヘッドベース114の所定位置に固定されている。

ランプケース113の両側には駆動回路基板116が設けられており、駆動回路基板116上には駆動のための回路をLSI化したLCS駆動LSI117が搭載されている。また駆動回路基板116のランプケース113に対向する面の下端部には上述のLCS駆動LSI117より引き出された導電パターン（図示せず）が信号電極133の配設ピッチと等しいピッチで形成されている。

この駆動回路基板116の導電パターンと液晶光シャッタ111の信号電極133とは、上述のピッチと等しいピッチで形成された接続パターンを有する可とう性コネクタであるフィルム状電極コネクタ118で接続されている。

ランプケース113の上方には共通電極駆動信号を供給するための駆動回路基板119が設けら

れており、駆動回路基板119には論理レベルの信号波形を実際に共通電極に印加する20数ボルトの信号波形に変換するハイボルテージ・ドライバ120が搭載され、駆動回路基板119と共通電極とは図示しないコネクタにより接続されている。

第13図は、液晶光シャッタ111の部分拡大図である。また同図におけるA-A'線における液晶光シャッタ111の断面図を第14図として示している。

信号電極133は酸化スズ、酸化インジウム等の透明導電部133aとクロム、金等の金属電極133bとで構成され、共通電極135も同様に透明導電部135aに金属電極135bとで構成されている。この透明導電部133bと135bの対向する部分にマイクロシャッタ134が形成され、両電極に印加される信号によりこのマイクロシャッタ134が開閉される。

各信号電極133は2本の共通電極135と対向するため、各信号電極133上には2つのマイクロシャッタ134が形成される。これは各マイ

クロシャッタ134を開閉させるためのドライバ数を削減するために、時分割駆動を行っているからである。

また、マイクロシャッタ135は極めて高速に開閉しなければならないので、第14図に示す液晶剤136として、印加する電界の周波数に応じて誘電異方性の反転する液晶剤（誘電異方性をゼロとする周波数を交差周波数と称し、以下交差周波数を f_c と略記する）と2色性色素の混合物を用い、駆動方法としては f_c よりも高い周波数の信号（以下 f_H と略記する）及び f_c よりも低い周波数の信号（以下 f_L と略記する）、或いは f_H と f_L とを組合せた信号を用いて液晶を駆動するいわゆる2周波駆動法を用いている。

次に、第15図(a)は、液晶光シャッタ111の開閉制御により光害込みを行う記録制御部200の回路構成を示すブロック図である。

同図において、134-1、134-2は前記マイクロシャッタ134と同一のマイクロシャッタ、135-1、135-2は前記共通電極

135と同一の共通電極である。

同図(a)に示すように、本実施例により生成されたLCS駆動信号PT1、PT2、タイミング信号DSEL、CK2は、制御バスCBを介してLCS駆動LSI217に入力する。

また、LCS駆動信号COM1、COM2はそれぞれ第15図(a)に示すハイボルテージ・ドライバ220の入力端子I1、I2に入力し、ハイボルテージドライバ220により20数ボルトにレベルシフトされマイクロシャッタ135-1、135-2に印加される。交互に2パルスずつ発生するクロック信号CK1AとCK1Bはそれぞれ上段と下段のLCS駆動LSI217に出力される。従って、前記ビデオインターフェイス部40から転送されたビデオデータLTXD（最初の1ビットデータから、番号1から順にシリアルナンバーが付けられているものとする）は、(1, 2)、(5, 6)、(9, 10)、・・・番目のビットデータが上段のLCS駆動LSI217に(13, 4)、(7, 8)、(11, 12)・・・

番目のビットデータが下段のLCS駆動LSI217に入力する。

次に、第16図(a)は、前記LCS駆動LSI217の回路構成を示すブロック図である。

シフトレジスタ301は、前記クロック信号CK1A(CK1B)の立ち下がりに同期して1ライン分のビデオデータLTXDを入力する。シフトレジスタ301の最終出力(Q1出力)は、バッファ302を介してカスケード接続された次のLCS駆動LSI217（図示せず）へ入力する。ラッチ303は、クロック信号CK2の立ち下がりによりシフトレジスタ301から1ライン分のビデオデータLTXDを入力し、偶数ビットのデータ(D2, D4, ..., D158, D160)をデータ遅延制御部304へ、奇数ビットのデータ(D1, D3, ..., D157, D159)をマルチプレクサ305の端子A1~A6へ出力する。マルチプレクサ305は、第16図(a)に示すように、セレクト信号DSELによりA入力またはB入力の選択を行い更に選択したA入力また

はB入力の値によりLCS駆動信号PT1、PT2のいずれかを選択して端子W₁～W₆よりハイボルテージドライバ306に出力する。ハイボルテージドライバ306は、入力するLCS駆動信号PT1またはPT2のレベルシフトを行いY₁～Y₆。出力を液晶光シャッタ111の信号電極133に印加する。

次に、以上のように構成された記録制御部200の動作を第9図のタイミングチャートを参照しながら説明する。ビデオインターフェイス部40は、第9図に示すHTWSXがLレベルの間LCS駆動LS1217にビデオデータLTXDを出力する。LCS駆動LS1217は、ビデオインターフェイス部40から出力されるクロック信号CK1A、CK1Bの立ち下がりに同期してビデオデータLTXDをシフトレジスタ301に入力する。ビデオインターフェイス部40から1ライン分のビデオデータLTXDの転送が終了すると、第9図に示すようにCK2にパルスが発生し、そのパルスの立ち下がりで1ライン分のビデ

オデータLTXDがシフトレジスタ301からラッチ303に転送され、シフトレジスタ301は新たなビデオデータLTXDの入力が可能となる。

このように、1周期T_wの間に1ライン分のビデオデータLTXDがLCS駆動LS1217のシフトレジスタ301に入力する。また、前回受信したビデオデータLTXDの奇数ビットは、CK2の立ち下がりでラッチ303からマルチプレクサ305の端子A₁～A₆。にする。また、ビデオデータLTXDの偶数ビットは、同じくCK2の立ち下がりでデータ遅延制御部304にする。データ遅延制御部304内においてフリップフロップ304aが2段にカスケード接続されており、ビデオデータLTXDの偶数ビットは、奇数ビットに対し2周期T_w分遅れてマルチプレクサ305にする。これは、マイクロシャッタを千鳥配列し、千鳥の副走査方向のピッチを2.5ラインに設定しているからである。

また、第9図に示すようにDSELは周期T_wの前半でLレベル、後半でHレベルであるので、

マルチプレクサ305は周期T_wの前半にはビデオデータLTXDの奇数ビットの各データに応じて、LCS駆動信号PT1、PT2のいずれかを選択してハイボルテージ・ドライバ306に出力し、ハイボルテージ・ドライバ306を介し各マイクロシャッタ234-1、234-2の開閉を行い光書き込みを行う。

液晶光シャッタ111の共通電極135-1、135-2には、それぞれ第9図のタイミングチャートに示すCOM1、COM2がハイボルテージ・ドライバ220を介して印加される。

また、PTSELがLの場合LCS駆動信号PT1はLCSの閉信号、PT2はLCSの開信号であり、ビデオデータLTXDのビットデータが"1"の時、信号電極233にPT1が印加され、選択されたマイクロシャッタ234-1または234-2が閉となり光書き込みは行われず、"0"の時は信号電極233にPT2が印加され選択されたマイクロシャッタ234-1または234-2が開となり光書き込みが行われる。従っ

て、正規現像方式の場合、ビデオデータLTXDのビットデータが"1"であれば黒ドットが形成され、"0"であれば白ドットが形成される。

周期T_wの後半においても、2ライン分遅れたビデオデータLTXDの偶数ビットのデータにより、前半と同様な動作により光書き込みが行なわれる。

以上の説明でわかるように、本実施例ではメモリ1に格納されているマクロコードMAC(x)にデータセレクト13を介しクロック信号φ₃を付加することにより、メモリ2のアドレス信号DADRを生成する。そして、そのアドレス信号DADRの指定するマクロデータDDATAをメモリ2から読み出し波形を生成している。クロック信号φ₃は、"0"または"1"の2値をとるので、1個のマクロコードMAC(x)のデコードにより2ワードのマクロデータDDATA(4×2ビット)がメモリ2から読み出される。従って、n個のマクロコードMAC(x)をデコードするために必要なメモリの容量M0は、

$$M0 = 4 \text{ ビット} \times 2 \text{ ワード} \times n \text{ (bits)} \quad \dots (1.1)$$

となる。

メモリ2は、メモリ1に格納された $n = 16$ 個のマクロコードMAC(x)をデコードするので、メモリ2の容量M2は式(1.1)より

$$M2 = 4 \times 2 \times 16 = 128 \text{ (bits)} \quad \dots (1.2)$$

となっており、一般的なゲートアレイによりメモリ2を構成した場合、スタティックRAMでは約800ゲート、擬似スタティックRAMでは約500ゲートで構成できる。

1個のマクロコードMAC(x)のデコードにより、クロック信号 ϕ に同期して2ワードのマクロデータDDATAが読み出されマクロデータDDATAの各ビットがLCS駆動信号PT1, PT2, COM1, COM2の波形を生成する。この時、1ビットは"0"か"1"の2種類の値をとるため、連続する2ワードのマクロデータDDATAの各ビットにより $2 \times 2 = 4$ 種類の波形

が生成される。すなわち、

$$("1", "1"), ("0", "0"), ("1", "0"), ("0", "1") \text{ の4種類}$$

である。これらの波形を第7図に示すように低周波要素 $f_L, *f_L$ 、高周波要素 $f_H, *f_H$ と定義する。従って、LCS駆動信号PT1, PT2, COM1, COM2の組み合わせは $4 \times 4 \times 4 \times 4 = 256$ 通りとなる。しかしながら、実際LCSのマикроシャッタに印加される電圧波形はPT1-COM1, PT1-COM2, PT2-COM1, PT2-COM2間の電圧差となるので、マイクロシャッタに印加される電圧波形の種類として $256 \div 2 = 128$ 種類が考えられる。しかし、実際には10通りの組み合わせで十分であり、メモリ2の容量は、

$$M0 = 4 \times 2 \times 10 = 80 \text{ (bits)} \quad \dots (1.3)$$

でよい。

前述した第8図(a), 第9図に示すLCS駆動波形COM1, COM2, PT1, PT2は、それ

ぞれ6通り、8通りの波形の組み合わせである。メモリ2の容量は32ワードなので第8図(a)に示すLCS駆動波形を得るために、メモリ1, 2にはそれぞれ第8図(c), (d)に示すデータを格納している。

同図(c)を見れば明らかなように、この時メモリ1には、8種類のマクロコードMAC(0) = "13", MAC(1) = "15", MAC(2) = "12", MAC(3) = "14", MAC(4) = "9", MAC(5) = "8", MAC(6) = MAC(7) = "7", MAC(8) = MAC(9) = MAC(10) = MAC(11) = MAC(12) = MAC(13) = MAC(14) = MAC(15) = "6"が格納されている。8通りの波形の組み合わせを得るための最小構成のメモリ2の容量は16ワード(=2ワード×8)であるが、本実施例ではメモリ1, 2の容量は32ワードなのでそれぞれ第8図(c), (d)に示すようにデータを格納した。

メモリ1内のステップ数ST(X)L, ST

(x)H、マクロコードMAC(x)、MAC(x+1)、メモリ2内のマクロデータDDATAはどちらも、外部からマイクロプロセッサ等により書換え可能なので、無限の組み合わせの駆動波形を得ることができる。このため、記録装置内の液晶ヘッダで使用されるLCSの液晶材料の改良、変更に対応することができる。

また、LCSパネルは電気光学特性上40~60℃付近に暖め、保温して用いることが望ましく、電子写真プリンタでLCSパネルを光シャッタとして用いる場合、電源投入時に光源を点灯させウォームアップすると共に、その光源の輻射熱によりLCSパネルを加熱補助するようにしている。この時、LCSが、ゲスト・ホスト形のようにノーマリーオフ形(通常時、マイクロシャッタは閉)であれば問題はないが、偏光板を直交ニコルに配置したツイスト・ネマティック形や複屈折形のようなノーマリーオン形(通常時、マイクロシャッタは開)である場合、光源の光がLCSを通過し感光体に照射されるため、感光体が劣化してしまう。

このため、感光体を回転させて、感光体の劣化を防止するようにしている。このような場合、ノーマリーオン形のLCSの各マイクロシャッタを完全にオフ（閉）するような特殊な駆動波形をマイクロシャッタに印加することにより、感光体ドラムを回転させる必要がなくなる。

また、2周波駆動によりLCSのマイクロシャッタの開閉制御を行う場合、高周波信号 f_w の周波数が数kHz～数百kHzと高いため、LCSパネルの電極が電流により自己発熱することが見られるが、これを見込んでLCSパネルが適正温度（40℃～60℃）以上になるのを防ぐため、ウォームアップ時にLCSのマイクロシャッタに特殊な駆動波形を加え、LCSパネルが適正温度で安定するようにすることが望ましい。

このように、ウォームアップ時等のように、通常の使用時とは異なる条件下において特殊な駆動波形をLCSのマイクロシャッタに印加する場合、従来の波形生成装置ではROM2の容量を増す必要があった。しかし、本発明ではメモリ1に格納

されるステップ数 $ST(x)H$ 、 $MAC(x)$ 、 $MAC(x+1)$ 及びメモリ2に格納されるマクロデータDDATAの書換えが可能なので、ウォームアップ時と使用時においてマクロデータDDATAの内容を変えることにより、メモリ容量を増加することなく特殊な駆動波形を生成することができる。

尚、本実施例ではメモリ1、2にRAMを用いたが、EEPROM（Electrical Erasable Programmable Read Only Memory）を用いてもよい。またEEPROMを用いた場合、起動時にデータを書き込む処理が不用となる利点がある。

〔発明の効果〕

以上説明したように本発明によれば、波形を生成するデコードを書換え可能なメモリにより構成したので、以下のような効果が得られる。

- a. ほぼ無限の組み合わせの波形が得られる。
- b. 外部制御によりメモリ内のデータを書換えることが可能なのでLCSの駆動波形の生成に用いる場合、液晶材料の改良、変更等に伴う駆動波形

の変更にも迅速に対応でき保守が容易になる。

c. ノーマリーオン型のLCSにより光書き込みを行う記録装置のLCS駆動波形生成に用いる場合、ウォームアップ時にLCSのマイクロシャッタを閉にする波形をLCSのマイクロシャッタに加えることにより、ウォームアップ時の、光源によるLCSパネルの加熱補助の際、感光体を回転させる必要がなくなり制御が簡単になる。また、感光体の劣化も防止できる。

4. 図面の簡単な説明

第1図(a)～(c)は、本発明の実施例の回路構成を示すブロック図、

第2図(a)、(b)は、データセクタ13の回路構成図、

第3図は、データセクタ15、16の回路構成図、

第4図(a)は、本実施例のメモリ1に格納されたデータの形式を示す図、

第4図(b)は、1フレームのデータ構成を示す図、

第4図(c)は、メモリ1に格納されたデータの具

体例を示す図、

第4図(d)は、メモリ2に格納されたデータの具体例を示す図、

第5図、第6図は、本実施例の動作を示すタイミングチャート、

第7図(a)は、マクロデータDDATAにより生成されるLCS駆動信号PT1、PT2、COM1、COM2の波形を示す図、

第7図(b)は、上記LCS駆動信号COM1、COM2、PT1、PT2によりLCSのマイクロシャッタに印加される電圧波形を示す図、

第8図(a)は、本実施例により生成されるLCS駆動波形の具体例を示す図、

第8図(b)、(c)は、それぞれ上記LCS駆動波形を生成するためにメモリ2、メモリ1に格納されるデータの内容を示す図、

第9図は、本実施例の一周期 T_w の動作を示すタイミングチャート、

第10図は、記録装置100の概略構成図、

第11図は、光記録ヘッド103の断面図、

第12図は、液晶光シャッタ111の構成を示す斜視図、

第13図は、液晶光シャッタ111の部分拡大図、

第14図は、液晶光シャッタ111の断面図、

第15図(a)は、記録制御部200の回路構成を示すブロック図、

第15図(b)は、ハイボルテージ・ドライバ220の回路構成図、

第16図(a)は、LCS駆動LS1217の回路構成を示すブロック図、

第16図(b)は、マルチプレクサ305の回路構成図、

第17図は、従来のLCS駆動信号生成回路の回路構成を示すブロック図、

第18図(a)は、上記LCS駆動信号生成回路の回路構成を示すブロック図、

第18図(b)は、ROM402に格納されているDSTATUS内容を示す図である。

1. 2・・・メモリ、

3・・・アップカウンタ、

4-1, 4-2, 4-3, 4-4, 18

・・・ラッチ、

5. 13, 15, 16

・・・データセレクト、

6・・・データセレクト部、

7. 19・・・ナンドゲート、

9・・・デコード、

10・・・ダウンカウンタ、

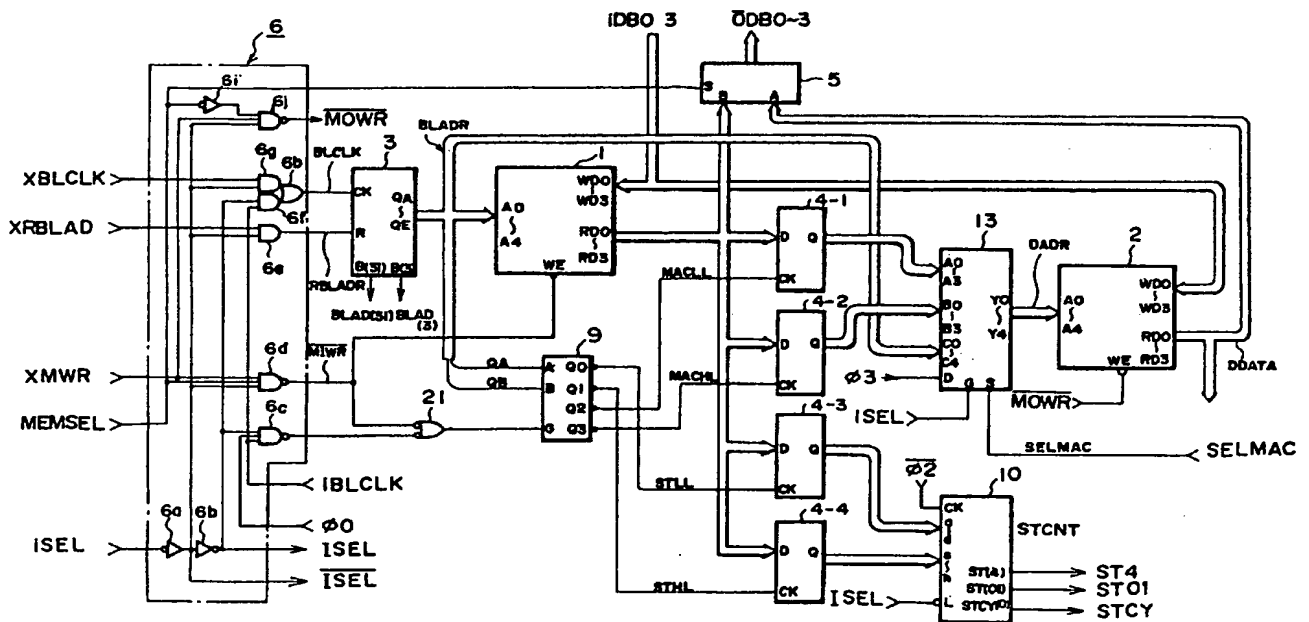
12, 14, 17・・・フリップフロップ、

21・・・インバート、

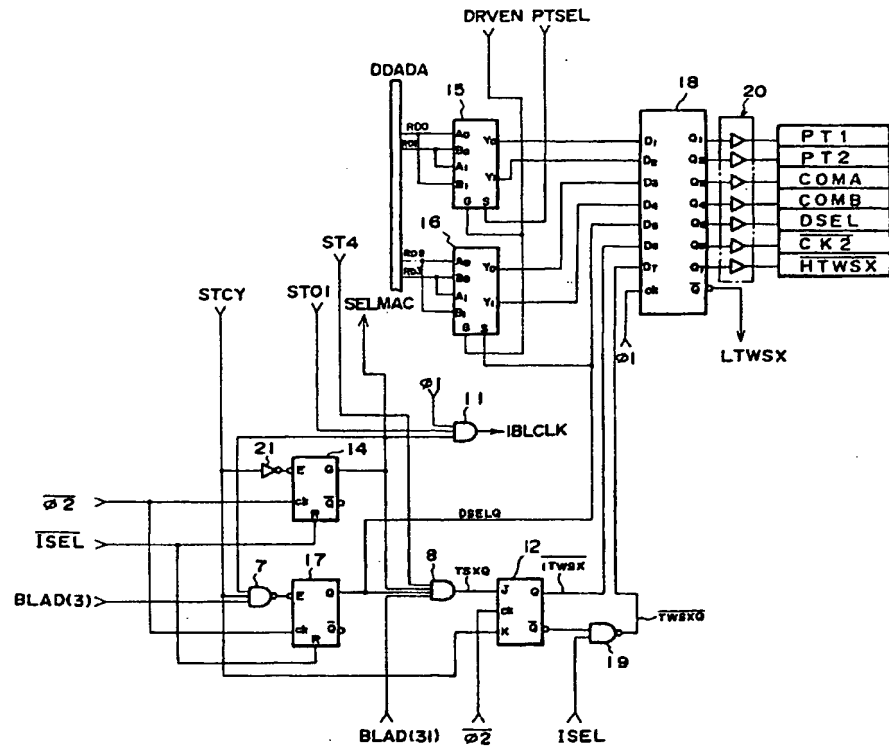
8, 11・・・アンドゲート、

特許出願人 カシオ電子工業株式会社

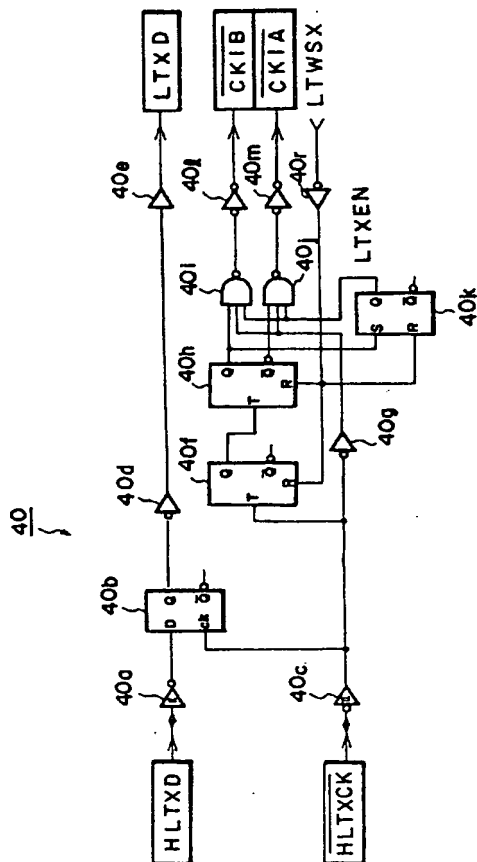
同 上 カシオ計算機株式会社



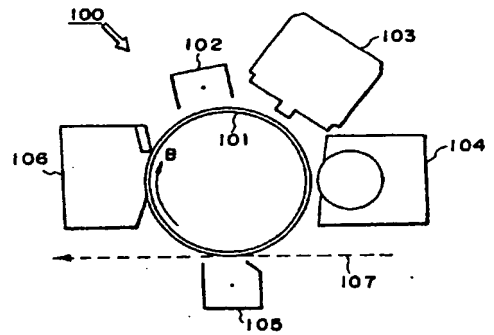
第 1 図 (a)



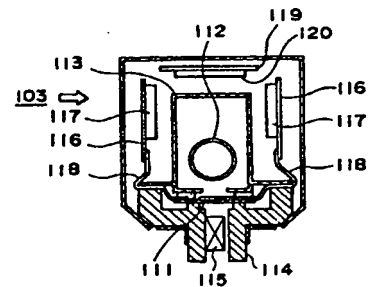
第 1 図 (b)



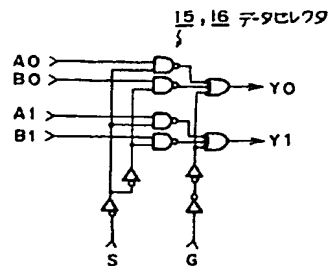
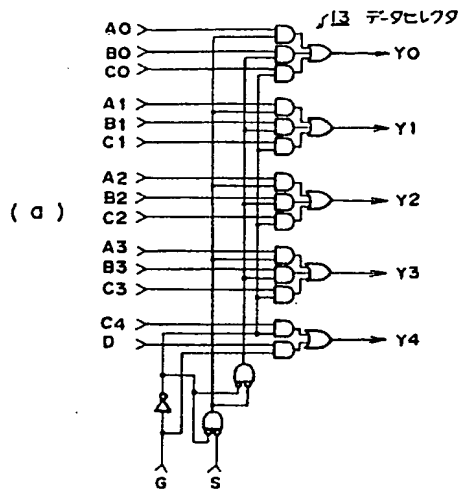
第 1 図 (c)



第 10 図



第 11 図



第 3 図

(b)

入 力		出 力					
S	G	Y4	Y3	Y2	Y1	Y0	
0	1	D	A3	A2	A1	A0	
1	1	D	B3	B2	B1	B0	
-	0	C4	C3	C2	C1	C0	

(-: 不定)

第 2 図

BLADR	DSTATUS
0	ST(0)L
1	ST(0)H
2	MAC(0)
3	MAC(1)
4	ST(2)L
...	
27	ST(14)L
28	ST(14)H
29	MAC(14)
30	MAC(15)
31	MAC(15)

(a)

17レベルのデシレツ(47007)

2x	ST(x)L
2x+1	ST(x)H
2x+2	MAC(x)
2x+3	MAC(x+1)

(b)

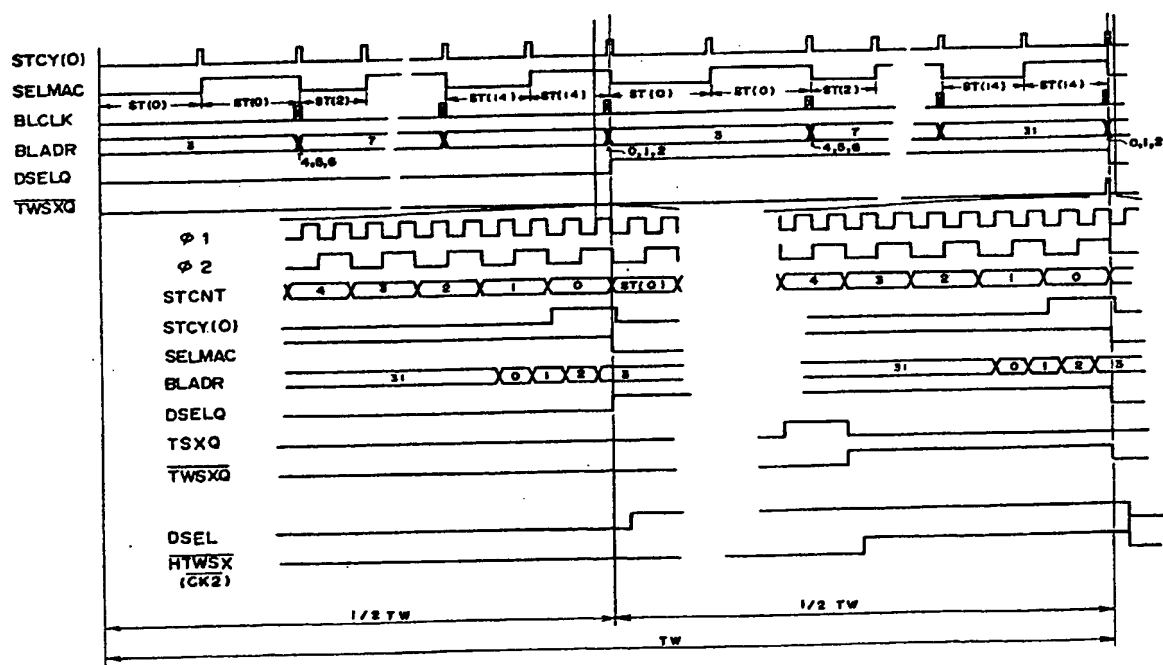
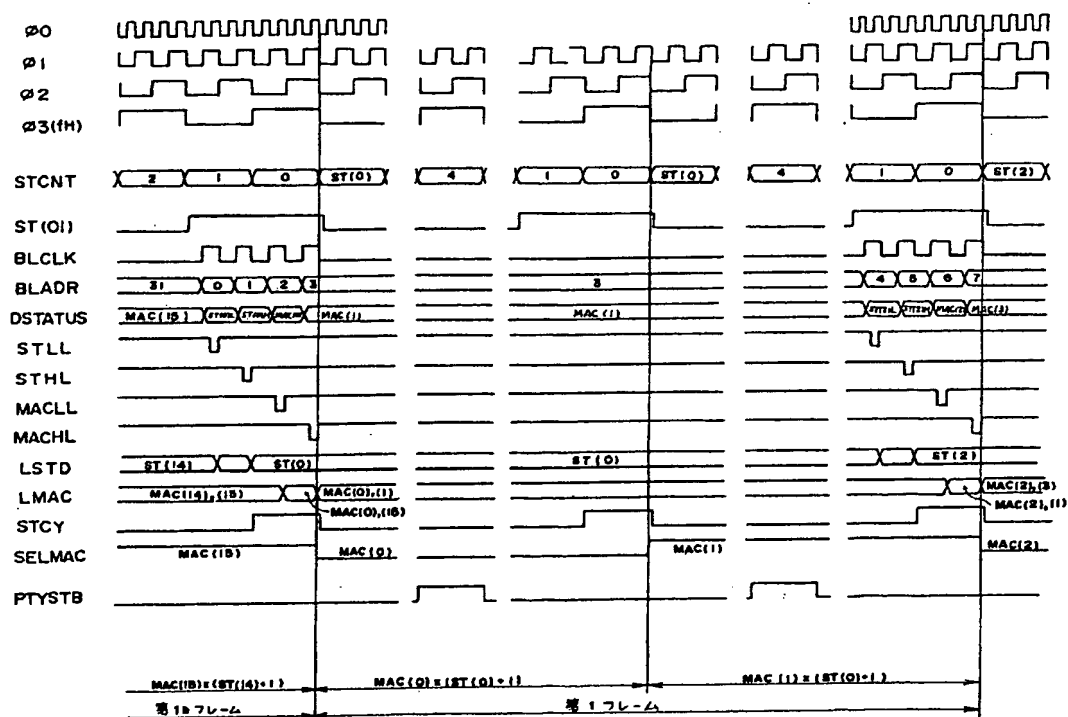
BLADR	DSTATUS
0	0 1 0 1
1	0 0 1 1
2	1 1 0 1
3	1 1 0 0
4	0 1 0 1
5	0 0 1 1
6	1 1 1 1
7	1 1 1 0
8	1 0 1 0
9	0 0 0 1
10	1 1 1 1
11	1 1 1 1
12	1 0 1 0
13	0 0 0 1
14	1 1 1 0
15	1 1 1 0
16	1 0 1 0
17	0 0 0 1
18	1 1 1 0
19	1 1 0 1
20	1 0 1 0
21	0 0 0 1
22	1 1 0 0
23	1 1 0 0
24	1 0 0 1
25	0 0 1 0
26	0 1 1 1
27	0 1 1 1
28	1 0 0 1
29	0 0 1 0
30	0 1 1 0
31	0 1 1 0

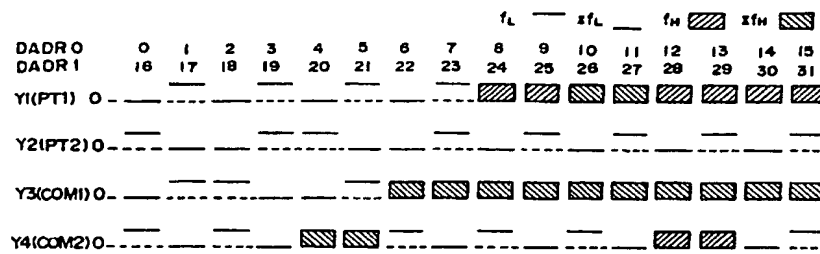
(c)

DADR	DDATA
0	1 0 1 0
1	0 1 0 1
2	1 1 0 0
3	0 0 1 1
4	1 0 1 0
5	1 1 0 1
6	1 1 0 0
7	0 1 1 1
8	1 1 0 0
9	0 1 1 0
10	1 1 0 1
11	0 1 1 1
12	0 1 0 0
13	0 1 1 0
14	0 1 0 0
15	1 1 1 0
16	1 0 1 0
17	0 1 0 1
18	1 1 0 0
19	0 0 1 1
20	0 0 1 0
21	0 1 0 1
22	1 0 0 0
23	0 0 1 1
24	1 0 0 1
25	0 0 1 1
26	1 0 0 0
27	0 0 1 0
28	1 0 0 1
29	1 0 1 1
30	0 0 0 1
31	1 0 1 1

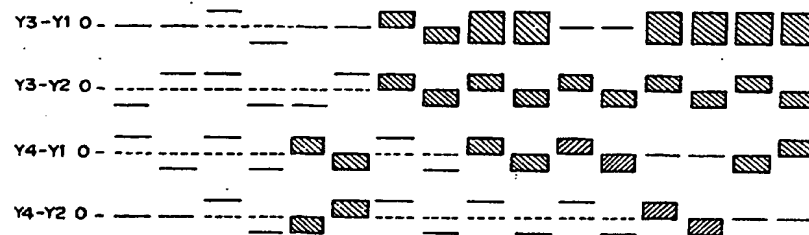
(d)

第 4 図



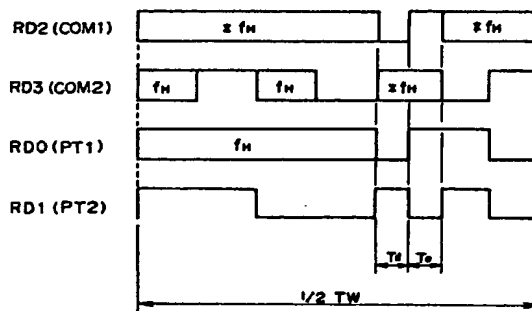


(a)



(b)

第 7 図



(a)

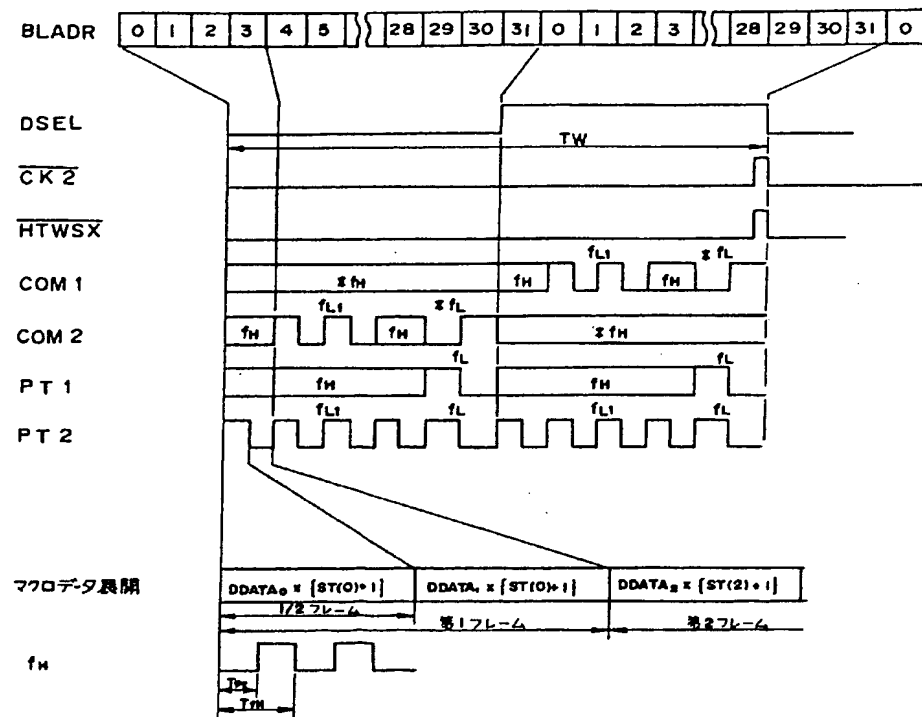
DADR	D DATA			
	s	e	i	o
0	1	0	1	0
1	0	1	0	1
2	1	1	0	0
3	0	0	1	1
4	1	0	1	0
5	1	1	0	0
6	1	1	0	0
7	0	1	1	1
8	1	1	0	1
9	1	0	1	0
10	1	1	0	1
11	0	1	1	1
12	0	1	0	0
13	0	1	1	0
14	0	1	0	0
15	1	1	1	0
16	1	0	1	0
17	0	1	0	1
18	1	1	0	0
19	0	0	1	1
20	0	0	1	0
21	0	1	0	1
22	1	0	0	0
23	0	0	1	1
24	0	1	0	1
25	0	0	1	0
26	1	0	0	0
27	0	0	1	0
28	1	0	0	1
29	1	0	1	1
30	0	0	0	1
31	1	0	1	1

(b)

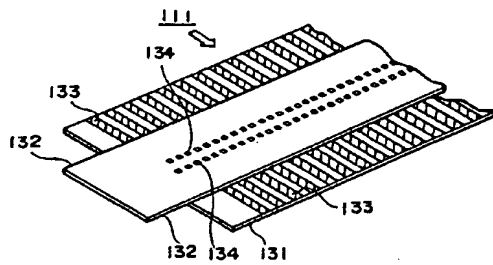
BLADR	D STATUS			
	s	e	i	o
0	1	0	1	0
1	0	1	0	1
2	1	1	0	0
3	1	1	1	1
4	1	0	0	1
5	0	1	0	1
6	1	1	0	0
7	1	1	1	0
8	1	1	1	1
9	0	0	1	0
10	1	0	0	1
11	1	0	0	0
12	0	0	1	1
13	0	0	1	0
14	0	1	1	1
15	0	1	1	1
16	1	0	0	0
17	0	0	0	0
18	0	1	1	0
19	0	1	1	0
20	1	0	0	0
21	0	0	0	0
22	0	1	1	0
23	0	1	1	0
24	1	0	0	0
25	0	0	0	0
26	0	1	1	0
27	0	1	1	0
28	1	0	0	0
29	0	0	0	0
30	0	1	1	0
31	0	1	1	0

(c)

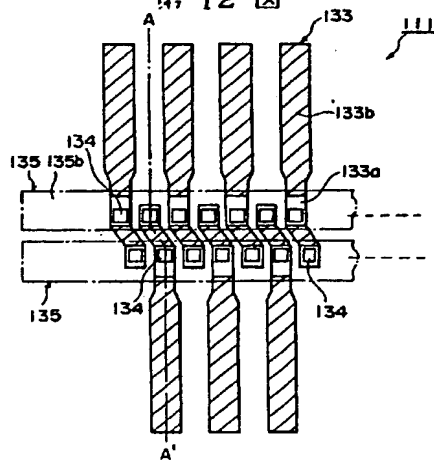
第 8 図



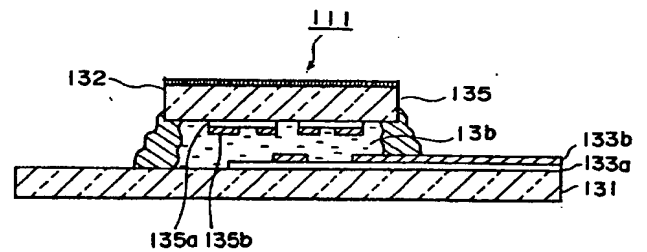
第 9 図



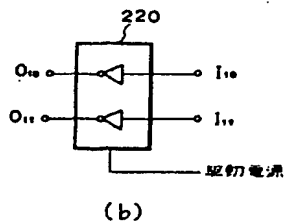
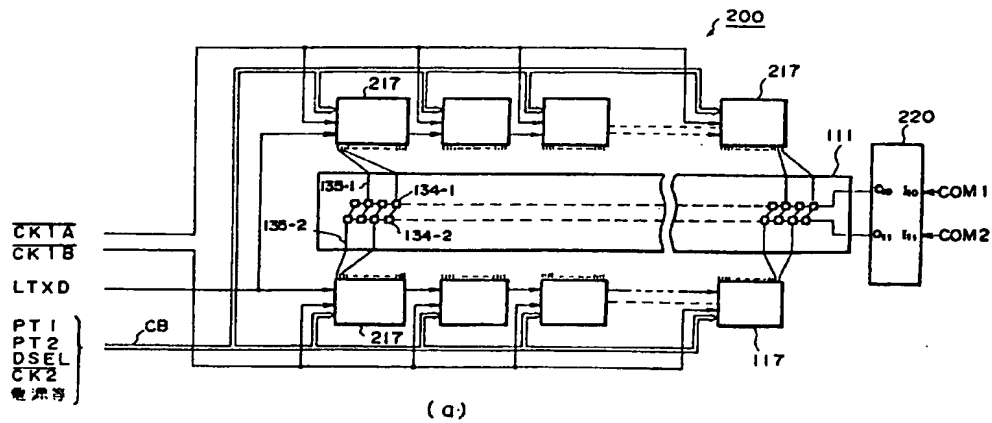
第 12 図



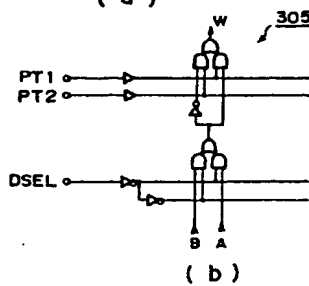
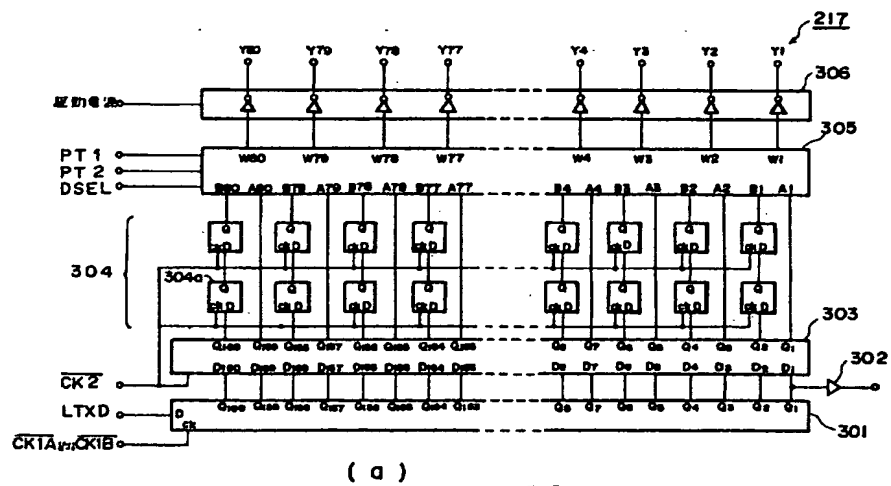
第 13 図



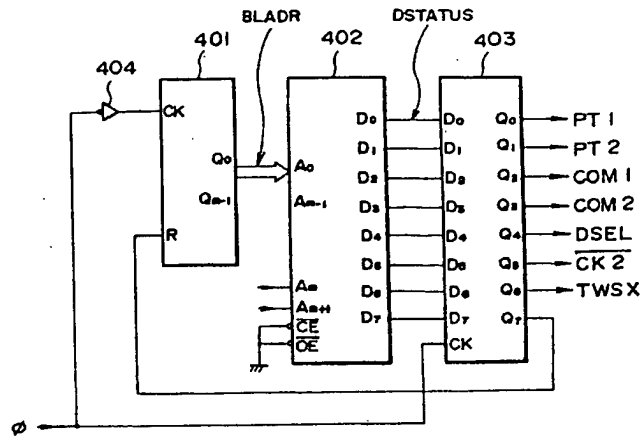
第 14 図



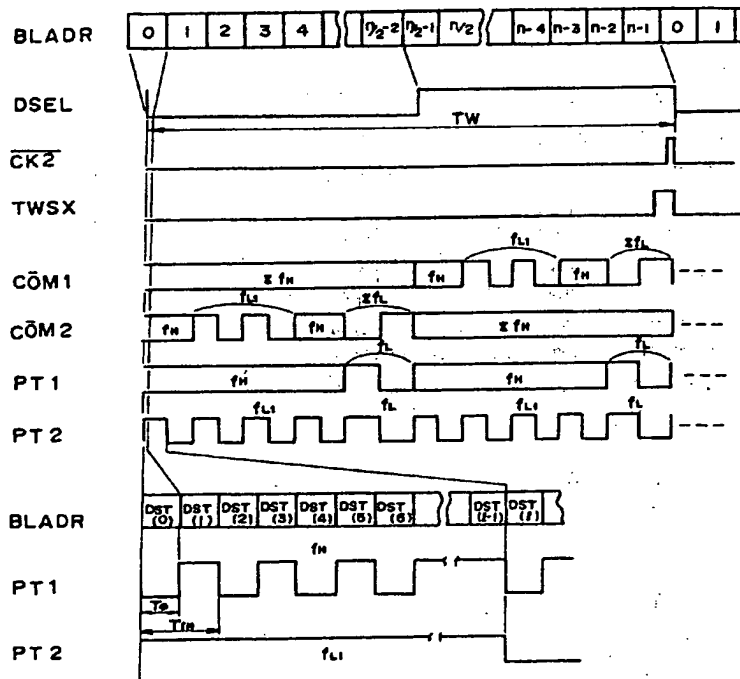
第 15 図



第 16 図



第 17 図



(a)

BLADR		DSTAUS							
0	DST(0)	0	0	0	0	0	1	1	0
1	DST(1)	0	0	0	0	1	0	1	1
2	DST(2)	0	0	0	0	0	1	1	0
3	DST(3)	0	0	0	0	1	0	1	1
4	DST(4)	0	0	0	0	0	1	1	0
...									
$l-2$	DST($l-2$)	0	0	0	0	0	1	1	0
$l-1$	DST($l-1$)	0	0	0	0	1	0	1	1
l	DST(l)	0	0	0	0	0	1	0	0
...									
$n-3$	DST($n-3$)	0	0	1	1	0	1	0	0
$n-2$	DST($n-2$)	0	0	1	1	1	1	0	0
$n-1$	DST($n-1$)	1	1	1	1	0	1	0	0

(b)

第 18 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)